

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009151  
 (43)Date of publication of application : 11.01.2002

(51)Int.CI.

H01L 21/768  
 H01L 21/304  
 H01L 21/306  
 H01L 21/3205

(21)Application number : 2000-186749  
 (22)Date of filing : 21.06.2000

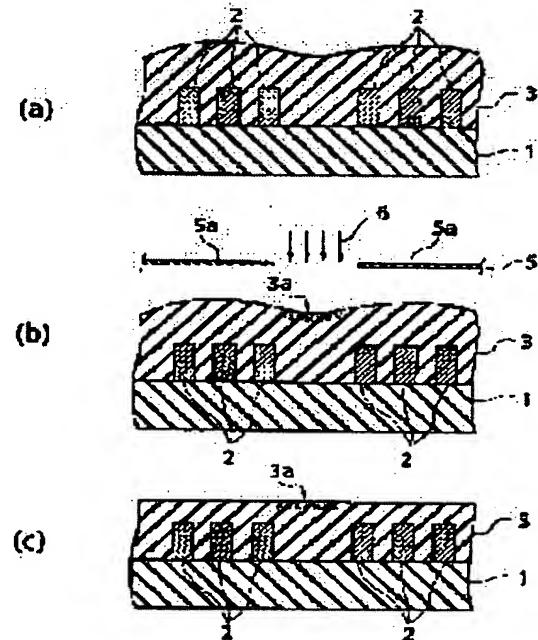
(71)Applicant : SEIKO EPSON CORP  
 (72)Inventor : ITO TARO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device and its manufacturing method capable of suppressing the deterioration of flatness in the case that an interlayer insulation film comprising the material of low permittivity is directly CMP polished.

**SOLUTION:** The manufacturing method of the semiconductor device is provided with a process for forming a wiring pattern 2 on an insulation film 1, a process for forming the material film 3 of the low permittivity on the wiring pattern, a process for reforming the surface of the material film of the low permittivity on an area other than a dense pattern area in which an interval between two adjacent wiring patterns out of the wiring patterns is 2. m or less, and a process for flattening the material film of the low permittivity by CMP polishing the material film of the low permittivity. The surface reforming reforms the material film of the low permittivity so that polishing speed is slow as compared with the material film of the low permittivity whose surface is not reformed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-9151

(P2002-9151A)

(43)公開日 平成14年1月11日 (2002.1.11)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト <sup>8</sup> (参考)
H 01 L 21/768		H 01 L 21/304	6 2 2 X 5 F 0 3 3
21/304	6 2 2		6 2 2 N 5 F 0 4 3
		21/90	P
21/306		21/306	M
21/3205		21/88	K

審査請求 未請求 請求項の数10 O L (全 5 頁)

(21)出願番号 特願2000-186749(P2000-186749)

(22)出願日 平成12年6月21日 (2000.6.21)

(71)出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(72)発明者 伊藤 太郎  
長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

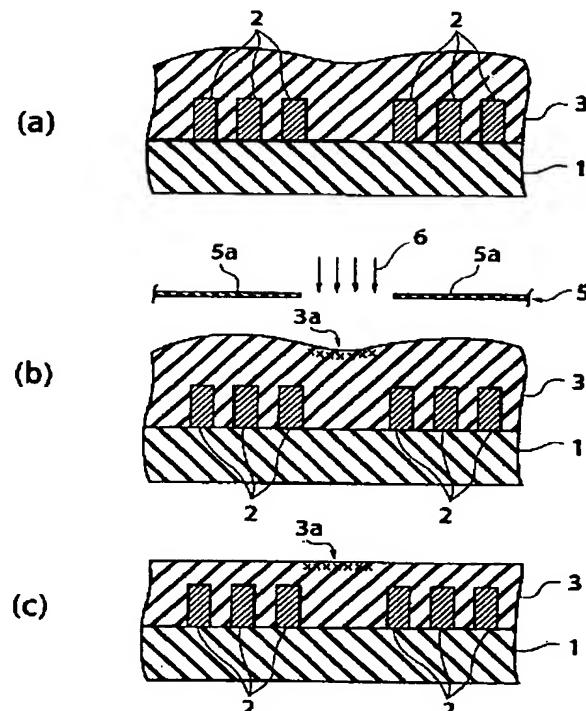
(74)代理人 100095728  
弁理士 上柳 雅善 (外1名)  
Fターム(参考) 5F033 HH09 PP15 QQ48 QQ49 QQ51  
QQ54 QQ74 QQ81 QQ89 QQ90  
RR01 RR21 XX01  
5F043 AA37 DD16 FF07 GG10

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 低誘電率材料からなる層間絶縁膜を直接C M P研磨する場合の平坦性の悪化を抑制できる半導体装置及びその製造方法を提供する。

【解決手段】 本発明に係る半導体装置の製造方法は、絶縁膜1上に配線パターン2を形成する工程と、配線パターン上に低誘電率材料膜3を形成する工程と、配線パターンのうち隣接する2つの配線パターンの間隔が2μm以下である密パターン領域以外の領域上の低誘電率材料膜を表面改質する工程と、低誘電率材料膜をC M P研磨することにより、低誘電率材料膜を平坦化する工程と、を具備する。上記表面改質は、表面改質されていない低誘電率材料膜に比べて研磨速度が遅くなるように低誘電率材料膜を改質するものである。



## 【特許請求の範囲】

【請求項1】 絶縁膜上に配線パターンを形成する工程と、この配線パターン上に低誘電率材料膜を形成する工程と、上記配線パターンのうち隣接する2つの配線パターンの間隔が2μm以下である密パターン領域以外の領域上の低誘電率材料膜を表面改質する工程と、低誘電率材料膜をCMP研磨することにより、低誘電率材料膜を平坦化する工程と、

を具備し、上記表面改質は、表面改質されていない低誘電率材料膜に比べて研磨速度が遅くなるように低誘電率材料膜を改質するものであることを特徴とする半導体装置の製造方法。

【請求項2】 上記表面改質する工程は、上記密パターン領域以外の領域上の低誘電率材料膜に波長が365nm以下の紫外線を照射することにより行うものであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記表面改質する工程は、上記密パターン領域以外の領域上の低誘電率材料膜にプラズマ処理を施すことにより行うものであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 絶縁膜上に配線パターンを形成する工程と、

この配線パターン上に低誘電率材料膜を形成する工程と、上記配線パターンが形成された領域以外の領域上の低誘電率材料膜を表面改質する工程と、低誘電率材料膜をCMP研磨することにより、低誘電率材料膜を平坦化する工程と、

を具備し、

上記表面改質は、表面改質されていない低誘電率材料膜に比べて研磨速度が遅くなるように低誘電率材料膜を改質するものであることを特徴とする半導体装置の製造方法。

【請求項5】 上記表面改質する工程は、上記配線パターンが形成された領域以外の領域上の低誘電率材料膜に波長が365nm以下の紫外線を照射することにより行うものであることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 上記表面改質する工程は、上記配線パターンが形成された領域以外の領域上の低誘電率材料膜にプラズマ処理を施すことにより行うものであることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】 上記低誘電率材料膜は、比誘電率が3.2以下の膜であることを特徴とする請求項1～6のうちいずれか1項記載の半導体装置の製造方法。

【請求項8】 絶縁膜上に形成された下層配線パターンと、

この配線パターン上に形成され、平坦化された低誘電率材料膜と、

この低誘電率材料膜上に形成された上層配線パターンと、

を具備し、

上記下層配線パターンのうち隣接する2つの配線パターンの間隔が2μm以下である密パターン領域以外の領域上の低誘電率材料膜は、密パターン領域上の低誘電率材料膜に比べて研磨速度が遅くなるように表面改質されて

いることを特徴とする半導体装置。

【請求項9】 絶縁膜上に形成された下層配線パターンと、

この配線パターン上に形成され、平坦化された低誘電率材料膜と、

この低誘電率材料膜上に形成された上層配線パターンと、

を具備し、

上記下層配線パターンが形成された領域以外の領域上の低誘電率材料膜は、下層配線パターンが形成された領域

上の低誘電率材料膜に比べて研磨速度が遅くなるように表面改質されていることを特徴とする半導体装置。

【請求項10】 上記低誘電率材料膜は、比誘電率が3.2以下の膜であることを特徴とする請求項8又は9記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、層間絶縁膜として低誘電率材料膜を用いた半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】 以下、従来の半導体装置の製造方法について説明する。絶縁膜上にA1合金配線パターンを形成し、A1配線パターン及び絶縁膜の上に層間絶縁膜となる低誘電率材料膜を成膜する。この際、下地となるA1配線パターンの疎密によって低誘電率材料膜の膜厚に差ができる。具体的には、密なA1配線パターンの領域では低誘電率材料膜の膜厚が厚くなり、疎なA1配線パターンの領域では低誘電率材料膜の膜厚が薄くなる。

【0003】 このような段差を無くすために、低誘電率

40 材料膜上にシリコン酸化膜などを堆積し、このシリコン酸化膜などにCMP(Chemical Mechanical Polishing)研磨を施すことにより、シリコン酸化膜の表面が平坦化され、ウェハの平坦性を確保している。その後は、シリコン酸化膜などの上に配線を形成する等の通常の半導体プロセスが施される。CMP研磨では加工前に発生した段差のためにディッシングなどの加工形状不良が発生する場合がある。なお、ディッシングとは段差などの加工前の形状がCMP研磨を施すことにより強調されることである。

【発明が解決しようとする課題】上記従来の半導体装置において、低誘電率材料膜を層間絶縁膜として用いているのは、配線パターンの配線間容量（寄生容量）を低減して半導体素子の動作速度の高速化を図るためにある。その点では、低誘電率材料膜上に堆積したシリコン酸化膜などは半導体素子の動作速度を高速化する妨げとなるので、シリコン酸化膜などを堆積せずに、低誘電率材料膜自体にCMP研磨を施すことが望ましい。

【0005】低誘電率材料膜層を配線パターン上に形成した場合、下地となるA1配線パターンの疎密によって低誘電率材料膜の膜厚に差が出る。具体的には、密なA1配線パターンの領域では、低誘電率材料膜の膜厚が厚くなり、疎なA1配線パターンの領域では低誘電率材料膜の膜厚が薄くなる。

【0006】低誘電率材料膜に直接CMP研磨を施す場合、このパターンの疎密によって生じる段差のために従来と同様にディッシングなどの加工形状不良が発生するが、膜厚の薄い部分のCMP研磨速度を膜厚の厚い部分のCMP研磨速度に対して相対的に遅くすることによって、この加工形状不良は緩和することが出来る。

【0007】ところで、配線間に生じる配線間容量（寄生容量）の大小は配線間の距離に依存し、具体的には配線間距離と配線間容量は反比例の関係にある。すなわち、配線間の距離が十分に離れている場合には発生する寄生容量は十分に小さく、半導体素子の動作速度に及ぼす影響が少ない。

【0008】以上のような点に着目し、CMP研磨時の平坦性の向上を図る目的で、配線間距離が十分に大きい領域、すなわち疎な領域を選択的に改質する。改質された領域のCMP研磨速度は改質を行わなかった領域と比較して相対的に遅くなり、その結果CMP研磨を施した際の加工形状不良を抑制することが出来、平坦性が向上する。

【0009】一方、改質に伴い低誘電率材料膜の物理的・化学的な特性が失われ比誘電率が上昇するが、前述の通りA1配線パターンが疎な領域に発生する寄生容量が半導体素子の動作速度に及ぼす影響は小さいために、これを許容する。

【0010】本発明は上記のような事情を考慮してなされたものであり、その目的は、低誘電率材料からなる層間絶縁膜を直接CMP研磨しても寄生容量の増加を抑制しながら平坦性の向上を図ることができる半導体装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、絶縁膜上に配線パターンを形成する工程と、この配線パターン上に低誘電率材料膜を形成する工程と、上記配線パターンのうち隣接する2つの配線パターンの間隔が2μm以下である密パターン領域以外の領域上の低誘電率材料膜を表面改質する工程と、低誘電率

材料膜をCMP研磨することにより、低誘電率材料膜を平坦化する工程と、を具備し、上記表面改質は、表面改質されていない低誘電率材料膜に比べて研磨速度が遅くなるように低誘電率材料膜を改質するものであることを特徴とする。

【0012】上記半導体装置の製造方法によれば、配線パターンのうち密パターン領域以外の領域上の低誘電率材料膜を表面改質することにより、その部分のCMP研磨速度を表面改質されていない部分の研磨速度より遅くする。これにより、低誘電率材料膜をCMP研磨した際、低誘電率材料膜表面の段差が強調されるといったディッシングなどの加工形状不良の発生を抑制することができる。従って、低誘電率材料からなる層間絶縁膜を直接CMP研磨した場合の平坦性の悪化を抑制できる。

【0013】また、本発明に係る半導体装置の製造方法において、上記表面改質する工程は、上記密パターン領域以外の領域上の低誘電率材料膜に波長が365nm以下の紫外線を照射することにより行うものであることも可能である。

【0014】また、本発明に係る半導体装置の製造方法において、上記表面改質する工程は、上記密パターン領域以外の領域上の低誘電率材料膜にプラズマ処理を施すことにより行うものであることも可能である。

【0015】本発明に係る半導体装置の製造方法は、絶縁膜上に配線パターンを形成する工程と、この配線パターン上に低誘電率材料膜を形成する工程と、上記配線パターンが形成された領域以外の領域上の低誘電率材料膜を表面改質する工程と、低誘電率材料膜をCMP研磨することにより、低誘電率材料膜を平坦化する工程と、を具備し、上記表面改質は、表面改質されていない低誘電率材料膜に比べて研磨速度が遅くなるように低誘電率材料膜を改質するものであることを特徴とする。

【0016】また、本発明に係る半導体装置の製造方法において、上記表面改質する工程は、上記配線パターンが形成された領域以外の領域上の低誘電率材料膜に波長が365nm以下の紫外線を照射することにより行うものであることも可能である。

【0017】また、本発明に係る半導体装置の製造方法において、上記表面改質する工程は、上記配線パターンが形成された領域以外の領域上の低誘電率材料膜にプラズマ処理を施すことにより行うものであることも可能である。

【0018】また、本発明に係る半導体装置の製造方法において、上記低誘電率材料膜は、比誘電率が3.2以下の膜であることが好ましい。

【0019】本発明に係る半導体装置は、絶縁膜上に形成された下層配線パターンと、この配線パターン上に形成され、平坦化された低誘電率材料膜と、この低誘電率材料膜上に形成された上層配線パターンと、を具備し、上記下層配線パターンのうち隣接する2つの配線バ-

ンの間隔が  $2 \mu m$  以下である密パターン領域以外の領域上の低誘電率材料膜は、密パターン領域上の低誘電率材料膜に比べて研磨速度が遅くなるように表面改質されていることを特徴とする。

【0020】本発明に係る半導体装置は、絶縁膜上に形成された下層配線パターンと、この配線パターン上に形成され、平坦化された低誘電率材料膜と、この低誘電率材料膜上に形成された上層配線パターンと、を具備し、上記下層配線パターンが形成された領域以外の領域上の低誘電率材料膜は、下層配線パターンが形成された領域上の低誘電率材料膜に比べて研磨速度が遅くなるように表面改質されていることを特徴とする。

【0021】また、本発明に係る半導体装置において、上記低誘電率材料膜は、比誘電率が 3.2 以下の膜であることが好ましい。

【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図 1 (a) ~ (c) は、本発明の第 1 の実施の形態による半導体装置の製造方法を示す断面図である。

【0023】まず、図 1 (a) に示すように、シリコン基板(図示せず)の上方に絶縁膜 1 を形成し、この絶縁膜 1 上に A1 合金膜をスパッタ法により堆積する。次に、この A1 合金膜をバーニングすることにより、絶縁膜 1 上には A1 合金配線 2 が形成される。A1 合金配線 2 のパターンは、場所によって疎のパターン領域と密のパターン領域がある。密パターン領域とは、隣接する 2 つの配線パターンの間隔が  $2 \mu m$  以下であるパターン領域をいう。疎パターン領域とは、密パターン領域以外のパターン領域をいう。

【0024】この後、A1 合金配線 2 及び絶縁膜 1 の上に低誘電率材料膜 3 を成膜する。低誘電率材料膜 3 とは、比誘電率が 3.2 以下の膜をいい、例えば、シリコン酸化膜中に多くの Si-H 結合を持つことを特徴とする絶縁材料、シリコン酸化膜中に多くの Si-CH<sub>3</sub> 結合を持つことを特徴とする絶縁材料、有機ポリマー等が挙げられる。

【0025】次に、図 1 (b) に示すように、紫外線を遮光するパターン 5a を備えたマスク 5 を準備し、このマスク 5 をマスクとして低誘電率材料膜 3 に波長が 365 nm 以下の紫外線 6 を照射する。ここで、マスク 5 の遮光パターン 5a は、A1 合金配線 2 において密パターン領域を遮光するように構成されている。このように紫外線を照射することにより、照射された部分である低誘電率材料膜 3 の表面の浅い領域に熱処理が施され、図 1 (b) に示す部分 3a の表面が改質される。この表面改質とは、表面改質されていない低誘電率材料膜に比べて後述する CMP の研磨速度が遅くなるように低誘電率材料膜を改質することである。

【0026】この後、図 1 (c) に示すように、低誘電率

率材料膜 3 の表面を CMP 研磨することにより、低誘電率材料膜 3 の表面が平坦化される。次に、低誘電率材料膜 3 上に配線(図示せず)を形成する。

【0027】上記第 1 の実施の形態によれば、A1 合金配線 2 における密パターン領域以外の領域上の低誘電率材料膜 3 を表面改質することにより、その部分の CMP 研磨速度を表面改質されていない部分の研磨速度より遅くすることができる。このため、低誘電率材料膜 3 を CMP 研磨した際、A1 合金配線 2 のパターンが疎のパターン領域であっても、低誘電率材料膜表面の段差が強調されるといったディッシングなどの加工形状不良の発生を抑制することができる。従って、低誘電率材料膜の平坦性を向上させることができる。

【0028】また、低誘電率材料膜 3 を表面改質すると、その部分の比誘電率は一般的に上昇する。しかし、層間絶縁膜として低誘電率材料膜を用いる目的は、配線間の寄生容量を低減することであるため、配線密度が疎な領域では必ずしも比誘電率を下げる必要がない。従って、上述したように低誘電率材料膜の表面改質を行っても、寄生容量の低減に対しては問題がない。

【0029】また、本実施の形態では、従来の半導体装置のように低誘電率材料膜上にシリコン酸化膜などを形成した層間絶縁膜ではなく、低誘電率材料膜のみからなる層間絶縁膜を用いている。したがって、低誘電率材料膜のみを層間絶縁膜として用いることにより、配線パターンの配線間容量(寄生容量)を従来のそれより低減することができ、その結果、半導体素子の動作速度をより高速化することができる。

【0030】図 2 (a) ~ (d) は、本発明の第 2 の実施の形態による半導体装置の製造方法を示す断面図であり、図 1 と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0031】図 2 (a) に示すように、低誘電率材料膜 3 の上にレジスト膜 11 を塗布する。次に、図 2 (b) に示すように、露光光 12 を遮光するパターン 15a を備えたマスク 15 を準備し、このマスク 15 をマスクとしてレジスト膜 11 を露光する。ここで、マスク 15 の遮光パターン 15a は、第 1 の実施の形態による遮光パターン 5a と同様のパターンである。

【0032】この後、図 1 (c) に示すように、レジスト膜 11 を現像することにより、低誘電率材料膜 3 上には表面改質を施す部分の開口部を有するレジストパターン 11a が形成される。次に、このレジストパターン 11a をマスクとして酸素プラズマ又はアンモニアプラズマなどのプラズマ処理 16 を施す。これにより、低誘電率材料膜 3 の表面の浅い領域が表面改質される。この表面改質とは、表面改質されていない低誘電率材料膜に比べて後述する CMP の研磨速度が遅くなるように低誘電率材料膜を改質することである。

【0033】この後、レジストパターン 11a を剥離し

た後、図2 (d) に示すように、低誘電率材料膜3の表面をCMP研磨することにより、低誘電率材料膜3の表面が平坦化される。

【0034】上記第2の実施の形態においても第1の実施の形態と同様の効果を得ることができる。すなわち、低誘電率材料膜3をCMP研磨した際、低誘電率材料膜表面の段差が強調されるといったディッシングなどの加工形状不良の発生を抑制することができる。

【0035】尚、本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。

【0036】また、上記第1及び第2の実施の形態では、A1合金配線2における密パターン領域以外の領域上の低誘電率材料膜3の表面を改質しているが、A1合金配線2が形成されたパターン領域以外の領域上の低誘電率材料膜の表面を改質することも可能である。

【0037】

【発明の効果】以上説明したように本発明によれば、配線パターンのうち密パターン領域以外の領域上の低誘電率材料膜を表面改質する。したがって、寄生容量を低減するという低誘電率材料膜の導入効果を失わずに、低誘

電率材料からなる層間絶縁膜を直接CMP研磨する場合の平坦性の悪化を抑制できる半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

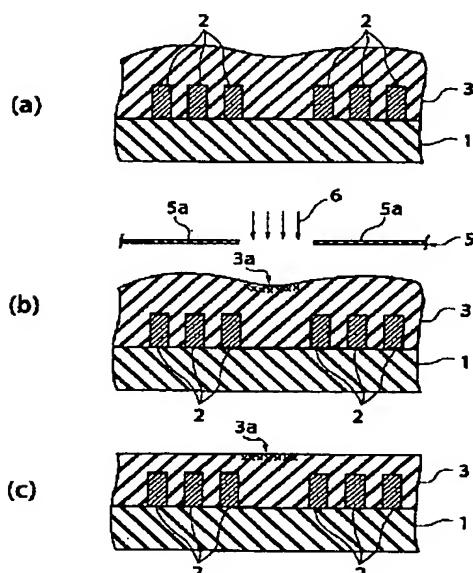
【図1】 (a)～(c) は、本発明の第1の実施の形態による半導体装置の製造方法を示す断面図である。

【図2】 (a)～(d) は、本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【符号の説明】

10	1 絶縁膜
2	2 A1合金配線
3	3 低誘電率材料膜
3a	3a 表面改質部分
5, 15	5, 15 マスク
5a, 15a	5a, 15a 遮光パターン
6	6 紫外線
11	11 レジスト膜
11a	11a レジストパターン
12	12 露光光
20	20 16 プラズマ処理

【図1】



【図2】

